

01.12.2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

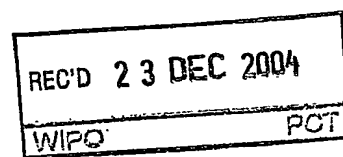
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 1 月 2 7 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 3 9 7 0 9 9  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 9 7 0 9 9 ]

出 願 人                      松 下 電 器 産 業 株 式 会 社  
Applicant(s):

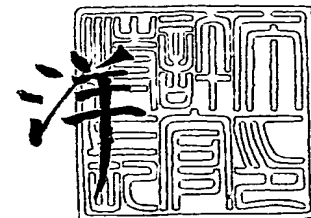


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 4 年    9 月 1 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 2706450006  
【提出日】 平成15年11月27日  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 H01L 27/04  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内  
    【氏名】 小島 巖  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内  
    【氏名】 正垣 年啓  
【発明者】  
    【住所又は居所】 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内  
    【氏名】 石川 修  
【特許出願人】  
    【識別番号】 000005821  
    【氏名又は名称】 松下電器産業株式会社  
【代理人】  
    【識別番号】 100112128  
    【弁理士】  
    【氏名又は名称】 村山 光威  
    【電話番号】 03-5993-7171  
【手数料の表示】  
    【予納台帳番号】 063511  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9815712

**【書類名】 特許請求の範囲****【請求項 1】**

2 個以上の接地端子を備え、そのうち 1 個以上の接地端子が半導体基板に接続され、かつ 1 個以上の接地端子が半導体基板に接続されずに前記半導体基板上に配置されている回路構造に用いられる静電破壊保護素子であって、

前記半導体基板に接続された接地端子と前記半導体基板に接続されていない接地端子とを配線接続することにより形成されたことを特徴とする静電破壊保護素子。

**【請求項 2】**

前記配線接続が前記半導体基板に接続された接地端子と前記半導体基板に接続されていない接地端子とにおける近傍で接続されていることを特徴とする請求項 1 記載の静電破壊保護素子。

**【請求項 3】**

前記配線接続が前記半導体基板から最も離れた配線で構成されていることを特徴とする請求項 1 または 2 記載の静電破壊保護素子。

**【請求項 4】**

前記配線接続がアルミニウム配線で構成されていることを特徴とする請求項 1, 2 または 3 記載の静電破壊保護素子。

**【請求項 5】**

前記配線接続が銅配線で構成されていることを特徴とする請求項 1, 2 または 3 記載の静電破壊保護素子。

**【請求項 6】**

前記半導体基板がボールグリッドアレイパッケージあるいはウェハーレベルチップサイズパッケージにパッケージングされ、かつ前記配線接続が前記ボールグリッドアレイパッケージあるいは前記ウェハーレベルチップサイズパッケージの再配線層で構成されていることを特徴とする請求項 1, 2 または 3 記載の静電破壊保護素子。

**【請求項 7】**

前記配線接続が 2 mm 以上の長さをもって構成されていることを特徴とする請求項 1 ～ 6 いずれか 1 項記載の静電破壊保護素子。

【書類名】明細書

【発明の名称】静電破壊保護素子

【技術分野】

【0001】

本発明は、集積回路に用いられる静電破壊保護用の保護素子に関する。

【背景技術】

【0002】

近年、集積回路においては高集積化および高機能化が進んでおり、アナログ・デジタル回路混在はもちろん、これまで単一素子で構成されていたパワーアンプ、ローノイズアンプなどの集積化も検討されており、これらの回路ブロック間のアイソレーションを確保したり、干渉を防ぐ技術が要求されている。

【0003】

従来より、アイソレーションを確保するため、回路ブロックごとに接地端子あるいは電源端子を分離することは行われてきた。そして通常、接地端子はラッチアップなどの不具合を防ぐため半導体基板に接続される。

【0004】

しかし、ローノイズアンプのように、特に他の回路ブロックから干渉を防ぐ必要がある回路、あるいは逆に大電流・大電圧振幅を発生して他のブロックへの干渉を防ぐ必要がある回路における接地端子は半導体基板にも接続しない場合がある。その場合、半導体基板に接続しない接地端子は静電耐圧が下がるため、他の通常の入出力端子と同様に静電保護素子を設ける必要がある（特許文献1参照）。ただし、この静電保護素子を設けることだけでも、アイソレーションが悪くなったり、電気的特性が劣化したりすることが少なくなかった。

【0005】

図4は従来の静電破壊保護素子の回路構成を示す図であって、本例では一対の内部回路1, 2が設けられた構成を示しており、静電破壊保護用の保護素子10は、第1の接地端子5と第2の接地端子6の間に接続された第1のダイオード11と、電源端子7と第2の接地端子6の間に接続された第2のダイオード12とにより構成され、第1の接地端子5は第1の内部回路1と基板コンタクト8, 9を介して半導体基板3に接続され、第2の接地端子6は第2の内部回路2に接続される。

【0006】

図4において第1の内部回路1と第2の内部回路2は接続されているが、必ずしも接続されている必要はない。また、両内部回路1, 2間のアイソレーションを確保し、干渉を防ぐため、第2の内部回路2に接続する第2の接地端子6は半導体基板3に接地していない。そして、下記の理由から第2の接地端子6には保護素子10を設けなければならない。

【0007】

図5は図4に示す回路の実使用状態を示す図であって、図5において、14は電源であり、寄生L（インダクタンス）17は第1の内部回路1から第1の接地端子5までの配線における寄生L成分、寄生L18は第2の内部回路2から第2の接地端子6までの配線における寄生L成分、寄生L19は第1の接地端子5から接地面13までの配線における寄生L成分、寄生L20は第2の接地端子6から接地面13までの配線における寄生L成分である。

【0008】

通常の使用状態では両接地端子5, 6は接地面13に接地されるため、両接地端子5, 6から静電気サージが加わることはない。ただし、製造過程あるいは出荷・搬送過程では両接地端子5, 6は接地されていないため、両接地端子5, 6にも静電気サージが加わることを考慮しなければならない。

【0009】

両接地端子5, 6が接地されていないような状態において両接地端子5, 6に静電気サ

ージが加わった場合を考えると、まず、第1の接地端子5に静電気サージが加わった場合には、半導体基板3に静電気サージが逃げてバイパスされるため、第1の内部回路1に静電気サージが加わることはない。

#### 【0010】

また、第2の接地端子6には半導体基板3が接続されていないため、静電気サージのバイパス経路がなく、第2の内部回路2を静電気サージから保護するため保護素子が必要になる。そのため、第2の接地端子6に保護素子10が接続されている。

#### 【0011】

保護素子10は、第2の接地端子6に第1の接地端子5の電位よりも大きな正の静電気サージが加わった場合には、第1のダイオード11がONしてサージ電流を第2の接地端子6から第1の接地端子5にバイパスし、第2の内部回路2を保護する。また、第2の接地端子6に電源端子7の電位よりも低い負の静電気サージが加わった場合には、ダイオード12がONしてサージ電流を第2の接地端子6から電源端子7にバイパスし、第2の内部回路2を保護する。

【特許文献1】特開2000-307061号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0012】

しかしながら、前記従来の保護素子10を構成する両ダイオード11, 12は寄生容量成分を有するため、第1の内部回路1と第2の内部回路2のアイソレーションが確保できない場合がある。例えば第1の内部回路1でノイズが発生した場合、ノイズは、まず半導体基板3に伝わり、第1のダイオード11の寄生容量成分を介して第2の内部回路2に伝わってしまう。同様に、電源端子7から第2のダイオード12の寄生容量成分を介して第1の内部回路1のノイズが第2の内部回路2に伝わってしまう場合もある。

#### 【0013】

つまり、アイソレーションを確保するため両接地端子5, 6を分け、第2の接地端子6は半導体基板3に接続しないという対策を施しているが、両ダイオード11, 12の寄生容量成分でアイソレーションが確保できないという問題がある。

#### 【0014】

特に第1のダイオード11の近くには、図4に示すように、基板コンタクト9を接地することが多く、半導体基板3からのアイソレーションが悪くなる原因となる。そして、アイソレーションを確保するために、両ダイオード11, 12のサイズを小さくし、寄生容量成分を減らそうとすると、静電耐圧が下がってしまうというトレードオフがある。

#### 【0015】

また、図5に示す回路では、両ダイオード11, 12の寄生容量成分だけではなく、第1のダイオード11がONすることにより、アイソレーションが悪くなる場合もある。第2の内部回路2が交流的に大電流を流す回路であった場合、寄生L18, L20の影響によって図5のB部の電位が、図5のA部の電位に比べて第1のダイオード11がONする電圧より上がる場合もあるため、第1のダイオード11がONすることにより、第1の内部回路1あるいは半導体基板3とのアイソレーションを確保することができなくなる。

#### 【0016】

また、半導体基板3上に設けられた回路が、両内部回路1, 2だけではなく他にも多数ある場合、特にロジック回路あるいは大きな信号出力を行う回路がある場合、半導体基板3には種々のノイズが存在していることが多い。このように様々な回路からのノイズを含む半導体基板3からアイソレーションを確保することは、ノイズなどの干渉を防ぐためにも非常に重要である。

#### 【0017】

本発明は、前記のような問題点に鑑み、同一半導体基板上の他の回路あるいは半導体基板から高いアイソレーションを確保しつつ高い静電耐圧を有する静電破壊保護素子を提供することを目的とする。

## 【課題を解決するための手段】

## 【0018】

前記目的を達成するため、請求項1に記載の発明は、2個以上の接地端子を備え、そのうち1個以上の接地端子が半導体基板に接続され、かつ1個以上の接地端子が半導体基板に接続されずに前記半導体基板上に配置されている回路構造に用いられる静電破壊保護素子であって、前記半導体基板に接続された接地端子と前記半導体基板に接続されていない接地端子とを配線接続することにより形成されたことを特徴とする。

## 【0019】

請求項2に記載の発明は、請求項1記載の静電破壊保護素子において、配線接続が半導体基板に接続された接地端子と半導体基板に接続されていない接地端子とにおける近傍で接続されていることを特徴とする。

## 【0020】

請求項3に記載の発明は、請求項1または2記載の静電破壊保護素子において、配線接続が半導体基板から最も離れた配線で構成されていることを特徴とする。

## 【0021】

請求項4に記載の発明は、請求項1、2または3記載の静電破壊保護素子において、配線接続がアルミニウム配線で構成されていることを特徴とする。

## 【0022】

請求項5に記載の発明は、請求項1、2または3記載の静電破壊保護素子において、配線接続が銅配線で構成されていることを特徴とする。

## 【0023】

請求項6に記載の発明は、請求項1、2または3記載の静電破壊保護素子において、半導体基板がボールグリッドアレイパッケージあるいはウェハーレベルチップサイズパッケージにパッケージングされ、かつ配線接続がボールグリッドアレイパッケージあるいはウェハーレベルチップサイズパッケージの再配線層で構成されていることを特徴とする。

## 【0024】

請求項7に記載の発明は、請求項1～6いずれか1項記載の静電破壊保護素子において、配線接続が2mm以上の長さをもって構成されていることを特徴とする。

## 【発明の効果】

## 【0025】

本発明に係る静電破壊保護素子によれば、半導体基板に接続されていない接地端子は、半導体基板に接続された接地端子に配線接続されているため、半導体基板に接続されていない接地端子に加わる静電気サージを半導体基板に接続された接地端子にバイパスすることができるため、高い静電耐圧を実現することができる。

## 【0026】

また、実使用状態では保護素子の寄生L（インダクタンス）成分で内部回路あるいは半導体基板とアイソレーションを確保することができる。また、内部回路から接地面までの寄生L成分を低減することにより、高周波特性を向上させる効果もある。

## 【発明を実施するための最良の形態】

## 【0027】

以下、図面に基づいて、本発明の実施の形態における静電破壊保護用の保護素子について説明する。

## 【0028】

図1は本発明の実施形態における保護素子の構成を説明するための回路図である。

## 【0029】

図1において、保護素子4は第1の接地端子5と第2の接地端子6とを接続し、第1の接地端子5は第1の内部回路1と、基板コンタクト8を介して半導体基板3とに接続され、第2の接地端子6は第2の内部回路2に接続される。

## 【0030】

保護素子4は、アルミニウム（Al）配線あるいは銅（Cu）配線で構成され、できる

かぎり半導体基板 3 から物理的距離が離れた最上層の配線が望ましく、2 mm 程度の長さをもたせ、寄生インダクタンス (L) 成分を持たせることが望ましい。また、保護素子 4 は第 1 の接地端子 5 および保護素子 6 の近傍で構成されていることが望ましい。

#### 【0031】

また、図 1 では、第 1 の内部回路 1 と第 2 の内部回路 2 は接続されているが、必ずしも接続されている必要はない。また、両内部回路 1, 2 間のアイソレーションを確保し、干渉を防ぐため、第 2 の内部回路 2 に接続する第 2 の接地端子 6 は、第 1 の接地端子 5 と分離されている。また、半導体基板 3 は N 型半導体基板でも P 型半導体基板でもよい。

#### 【0032】

保護素子 4 は、第 2 の接地端子 6 に静電気サージが加わった場合に、第 1 の接地端子 5 を介して半導体基板 3 に静電気サージをバイパスするため、第 2 の内部回路 2 に静電気サージが加わることはなく、第 2 の内部回路 2 が保護される。従来技術に比べてダイオードを介さない構成であるため、従来技術より大きく静電耐圧を向上させることができる。

#### 【0033】

ここで、図 1 の第 1 の内部回路 1 と第 2 の内部回路 2 におけるアイソレーションについて考察する。図 1 の回路構成は実使用状態では図 2 に示すようになる。

#### 【0034】

図 2 において、電源 1 4 は電源端子 7 に接続され、両接地端子 5, 6 は接地面 1 3 に接地される。図 2 の寄生 L 1 7 は第 1 の内部回路 1 から第 1 の接地端子 5 までの配線における寄生 L 成分であり、寄生 L 1 8 は第 2 の内部回路 2 から第 2 の接地端子 6 までの配線における寄生 L 成分であり、寄生 L 1 9 は第 1 の接地端子 5 から接地面 1 3 までの配線における寄生 L 成分であり、寄生 L 2 0 は第 2 の接地端子 6 から接地面 1 3 までの配線における寄生 L 成分であり、寄生 L 2 1 は保護素子 4 のインダクタンス成分である。

#### 【0035】

第 1 の内部回路 1 で発生したノイズは寄生 L 1 7 を介して、第 1 の接地端子 5, 保護素子 4, 第 2 の接地端子 6, 寄生 L 1 8 を通り、第 2 の内部回路 2 に至る。

#### 【0036】

第 1 の内部回路 1 により発生したノイズが図 2 の A 部で  $V_i$  であったとし、A 部のノイズが図 2 の B 部 (第 2 の内部回路 2 の接地端子) にまで到達する電圧を  $V_o$  とし、寄生 L 1 7, 1 8, 1 9, 2 0, 2 1 の L 値をそれぞれ L 1 7, L 1 8, L 1 9, L 2 0, L 2 1、第 2 の内部回路 2 に接続する第 2 の接地端子 6 からみたインピーダンスを Z L (寄生 L 1 8 の影響は除く) とすると、等価回路は図 3 に示すようになり、これより  $V_o$  は (数 1) に示すようになる。

#### 【0037】

##### 【数 1】

$$V_o = \frac{j\omega L_{19} \cdot (j\omega L_{21} + Z_0) / (j\omega L_{19} + j\omega L_{21} + Z_0)}{j\omega L_{17} + j\omega L_{19} \cdot (j\omega L_{21} + Z_0) / (j\omega L_{19} + j\omega L_{21} + Z_0)} \cdot \frac{Z_0}{j\omega L_{21} + Z_0} \cdot \frac{Z_L}{j\omega L_{18} + Z_L}$$

(数 1) において、 $Z_0$  は (数 2) に示すものである。

#### 【0038】

##### 【数 2】

$$Z_0 = \frac{j\omega L_{20} \cdot (j\omega L_{18} + Z_L)}{j\omega L_{20} + j\omega L_{18} + Z_L}$$

そして、ボールグリッドアレイパッケージ (BGA) あるいはウェハーレベルチップサイズパッケージ (WLCSP) などを考えた場合、L 1 7, L 1 8, L 1 9, L 2 0 は  $L = 0.5 \text{ nH}$  程度であり、周波数 1 GHz において  $Z_L = 50 \Omega$ , L 2 1 を変えたときの  $V_o$  を (表 1) に示す。

#### 【0039】

【表 1】

L21 [nH]	Vo/Vi [dB]
0.5	-14.0
1.0	-17.0
2.0	-20.9
3.0	-23.6
4.0	-25.6
5.0	-27.3
10.0	-32.7

これより、L21が2 nH程度あればアイソレーションが20 dB以上確保できることが分かる。配線の寄生L値は1 mmで1 nHなので、BGAパッケージあるいはWLCS Pの場合は保護素子4を2 mm以上にすることが望ましい。

## 【0040】

また、図3からL19、L20が小さく、L17、L18が大きい方ほどアイソレーションは高くなることが分かる。したがって、できる限り保護素子4は両内部回路1、2から距離を離し、両接地端子5、6に近づけることが望ましい。具体的には、第1の接地端子5の直近から配線（AL、Cu、ワイヤなど）を使って接地端子6の直近に接続することが望ましい。

## 【0041】

従来の技術でも説明したように、集積度が上がり、ロジック回路あるいは大きな電圧振幅を発生する回路が同一半導体基板上にある場合、半導体基板を伝わってくるノイズあるいは干渉波が問題となることが多く、ローノイズアンプのように僅かなノイズでも特性に影響される回路では、半導体基板とできる限りアイソレーションを確保することが重要である。このように本実施形態の保護素子4では、高い静電耐圧を実現しつつ、第1の内部回路1あるいは半導体基板3とアイソレーションを確保することができる。

## 【0042】

また、保護素子4によって第2の内部回路2から接地面13までの寄生L成分を減らすことができる。保護素子4がない場合、第2の内部回路2から接地面13までの寄生L成分は、 $L18 + L20$ である。しかし、保護素子4がある場合は、 $L18 + L20 \cdot (L21 + L19) / (L20 + L21 + L19)$ となる。前記と同様に、L17、L18、L19、L20を0.5 nHとし、L21を2 nHとして第2の内部回路2から接地面13までの寄生L成分を試算すると、保護素子4がない場合は1 nH、保護素子4がある場合は0.92 nHとなり、約10%程度寄生L成分を低減することができる。

## 【0043】

また、第2の接地端子6のように半導体基板3に接続されていない接地端子が他にも複数あり、その接地端子を第1の接地端子5と保護素子4で接続していけば、さらに第2の内部回路2から接地面13までの寄生L成分低減の効果は向上する。この保護素子4による第2の内部回路2から接地面13までの寄生L成分低減によって、高周波特性を向上させる効果もある。

## 【産業上の利用可能性】

## 【0044】

本発明は、高い静電耐圧あるいは高周波特性を要求される半導体装置、集積回路に用いられる静電破壊保護素子として有効である。

## 【図面の簡単な説明】

## 【0045】

【図1】 本発明の実施形態における保護素子の構成を説明するための回路図



【図 2】本実施形態の保護素子の実使用状態を説明するための回路図

【図 3】実使用状態における本実施形態の保護素子の等価回路図

【図 4】従来の保護素子の構成を説明するための回路図

【図 5】実使用状態における従来の保護素子を説明するための回路図

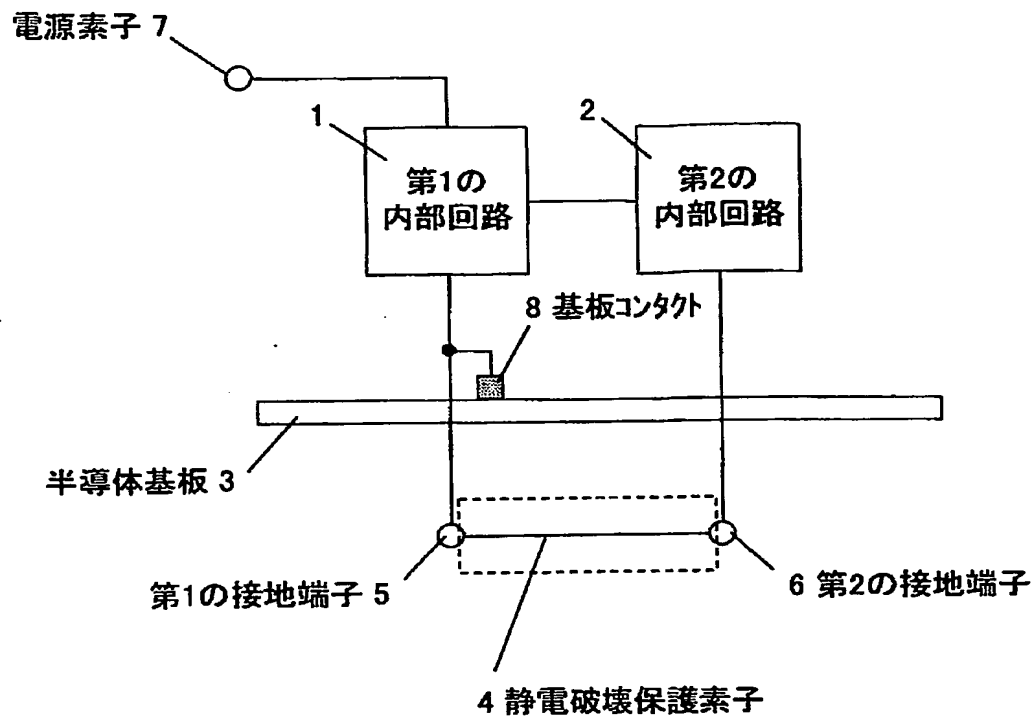
【符号の説明】

【0046】

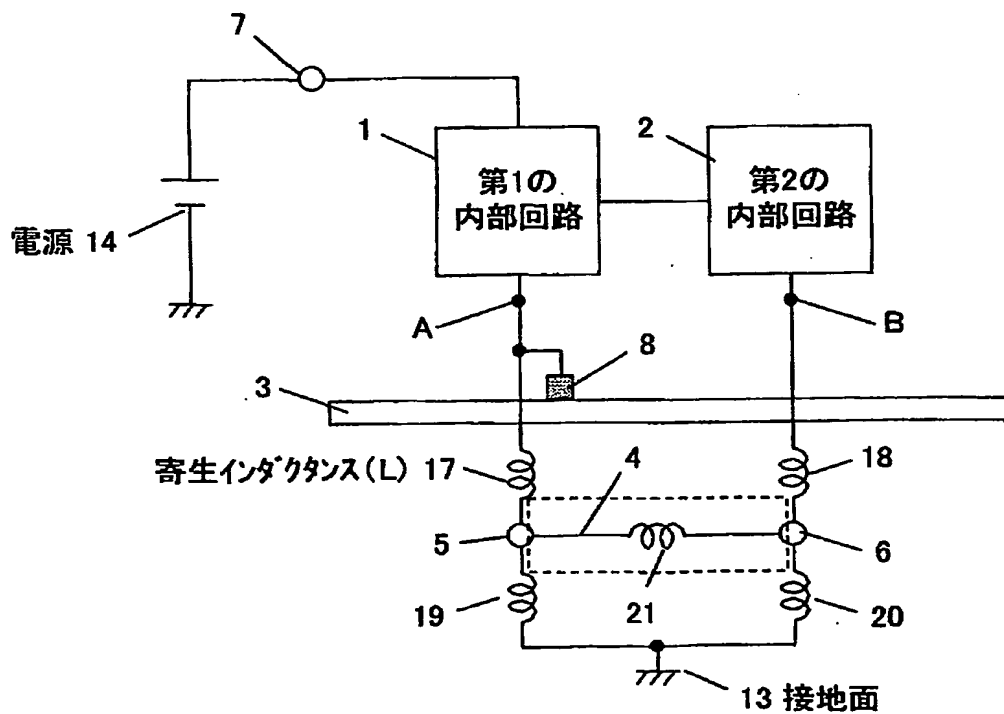
- 1, 2 内部回路
- 3 半導体基板
- 4 静電破壊保護素子
- 5, 6 接地端子
- 7 電源端子
- 8 基板コンタクト
- 13 半導体素子実装基板上の接地面
- 14 電源
- 17, 18, 19, 20, 21 寄生インダクタンス

【書類名】 図面

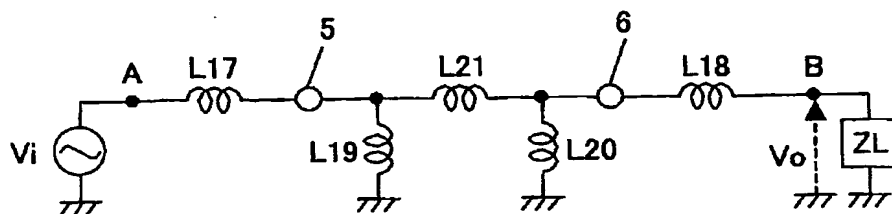
【図 1】



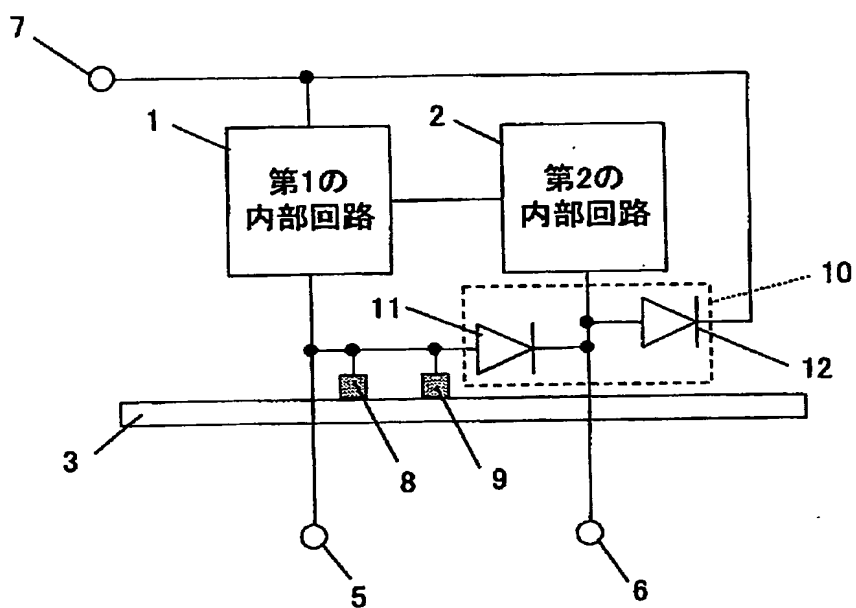
【図 2】



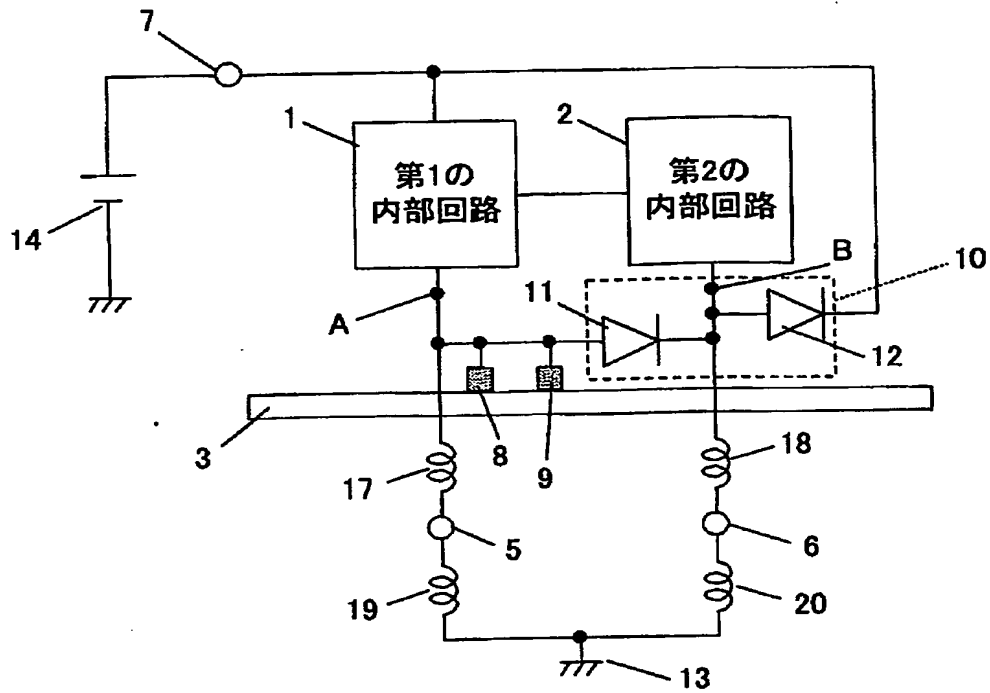
【図 3】



【図 4】



【図 5】



**【書類名】 要約書****【要約】**

**【課題】** 同一半導体基板上の回路ブロック間のアイソレーションを確保するために半導体基板と接続していない接地端子に対して、アイソレーションを確保しつつ高い静電耐圧をもった静電破壊保護素子を提供する。

**【解決手段】** アイソレーションを確保するために半導体基板3に接続されていない第2の接地端子6を半導体基板3に接続された第1の接地端子5に対して、できる限り両接地端子5, 6が近接して、かつ半導体基板3上から離れた配線層で、かつ2mm程度の長さを持たせて接続することにより、静電破壊保護素子4とする。これにより半導体基板3に接続されていない第2の接地端子6に加えられる静電気サージを、半導体基板3にバイパスし、静電破壊保護素子4の寄生インダクタンス成分により半導体基板3とのアイソレーションを確保する。

**【選択図】 図1**

特願 2 0 0 3 - 3 9 7 0 9 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**